

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-188615

(43)Date of publication of application : 10.07.2001

(51)Int.Cl.

G05F 1/10
G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 2000-281726

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 18.09.2000

(72)Inventor : MORITA AKIRA

(30)Priority

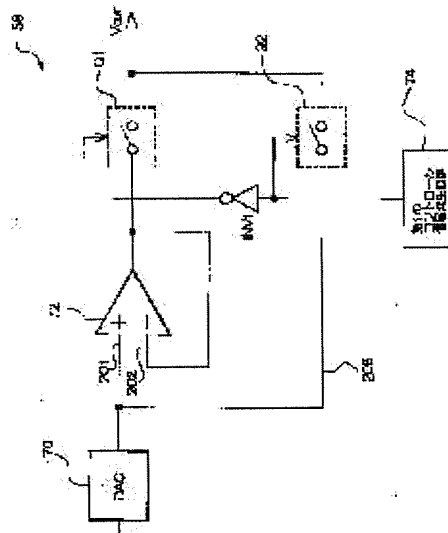
Priority number : 11299159 Priority date : 21.10.1999 Priority country : JP

(54) VOLTAGE SUPPLY DEVICE, AND SEMICONDUCTOR DEVICE USING THE VOLTAGE SUPPLY DEVICE, ELECTRO-OPTICAL DEVICE AND ELECTRONIC EQUIPMENT LISING THE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a voltage supply device capable of highly accurately and quickly obtaining necessary charging voltage without requiring any offset cancel circuit.

SOLUTION: The voltage supply device supplies voltage to a load capacitor to charge the load capacitor with prescribed voltage within a prescribed charging period. The voltage supply device is provided with a DAC 70, a voltage follower circuit 72 for converting voltage from the DAC 70 into impedance and outputting the impedance to a 1st switching element Q1 connected between the circuit 72 and the load capacitor, a by-pass line 205 for supplying the voltage from the DAC 70 directly to the load capacitor without passing the circuit 72 and the element Q1, and a 2nd switching element Q2 connected to the way of the by-pass line 205. In the first half period of the charging period, voltage output is switched to an output only from the circuit 72 by turning on the element Q1 and turning of the element Q2, and in the latter half period, the voltage output is switched to an output only from the DAC 70 by turning off the element Q1 and turning on the element Q2.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-188615

(P2001-188615A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 5 F 1/10		G 0 5 F 1/10	B 2 H 0 9 3
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 5 C 0 0 6
	5 5 0		5 5 0 5 C 0 8 0
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B 5 H 4 1 0
3/36		3/36	
審査請求 有 請求項の数10 O L (全 16 頁)			

(21) 出願番号 特願2000-281726(P2000-281726)

(22) 出願日 平成12年9月18日(2000.9.18)

(31) 優先権主張番号 特願平11-299159

(32) 優先日 平成11年10月21日(1999.10.21)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 森田 晶

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

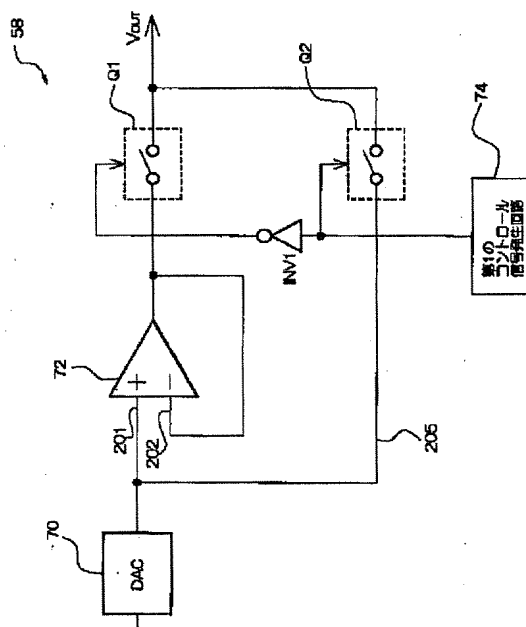
最終頁に続く

(54) 【発明の名称】 電圧供給装置並びにそれを用いた半導体装置、電気光学装置及び電子機器

(57) 【要約】

【課題】 オフセットキャンセル回路を必要とせずに、高精度かつ速く、必要な充電電圧を得ることができる電圧供給装置を提供すること。

【解決手段】 負荷容量に電圧を供給して、所定の充電期間内に負荷容量に所定の電圧を充電させる電圧供給装置である。この電圧供給装置は、DAC 70と、DAC 70からの電圧をインピーダンス変換して出力するボルテージフォロア回路72と、ボルテージフォロア回路72と負荷容量との間に接続された第1のスイッチング素子Q1と、DAC 70からの電圧をボルテージフォロア回路72及び第1のスイッチング素子Q1を経由せずに負荷容量に供給するバイパス線205と、バイパス線205途中に接続された第2のスイッチング素子Q2とを有する。充電期間の前半期間に第1のスイッチング素子Q1をオン、第2のスイッチング素子Q2をオフさせ、ボルテージフォロア回路72のみの出力に切換え、充電期間の後半期間に第1のスイッチング素子Q1をオフ、第2のスイッチング素子Q2をオンさせ、DAC 70のみの出力に切換える。



【特許請求の範囲】

【請求項 1】 負荷容量に電圧を供給して、所定の充電期間内に前記負荷容量に所定の電圧を充電させる電圧供給装置において、
電圧供給源と、

前記電圧供給源からの電圧をインピーダンス変換して出力するインピーダンス変換回路と、

前記インピーダンス変換回路と前記負荷容量との間に接続された第 1 のスイッチング素子と、

前記電圧供給源からの電圧を、前記インピーダンス変換回路及び前記第 1 のスイッチング素子を経由せずに前記負荷容量に供給するバイパス線と、

前記バイパス線途中に接続された第 2 のスイッチング素子と、を有し、

前記充電期間の前半期間に前記第 1 のスイッチング素子をオン、前記第 2 のスイッチング素子をオフさせ、前記充電時間の後半期間に前記第 1 のスイッチング素子をオフ、前記第 2 のスイッチング素子をオンさせることを特徴とする電圧供給装置。

【請求項 2】 請求項 1 において、
前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子は、共にオフする状態が設定されていることを特徴とする電圧供給装置。

【請求項 3】 請求項 1 または 2 において、
前記インピーダンス変換回路に電源電圧を供給する電源線に接続された第 3 のスイッチング素子を有し、
前記第 3 のスイッチング素子は、前記第 1 のスイッチング素子のオフ動作と同期してオフされることを特徴とする電圧供給装置。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、
前記インピーダンス変換回路は、ボルテージフォロア回路にて構成され、

前記ボルテージフォロア回路に供給される電源電圧の電源電位を VDD、接地電位を VEE とし、前記電源電位 VDD に近い入力電圧が入力された時に、前記ボルテージフォロア回路は、前記入力電圧に対して出力電圧がリニアな特性を示さない、前記出力電圧が飽和する特性を有し、

前記ボルテージフォロア回路の前記出力電圧の飽和領域では、前記第 1 のスイッチング素子をオフ、前記第 2 のスイッチング素子をオンさせて、前記バイパス線を経由して前記電圧出力源の電圧を前記負荷容量に供給することを特徴とする電圧供給装置。

【請求項 5】 請求項 1 乃至 3 のいずれかにおいて、
前記インピーダンス変換回路は、ボルテージフォロア回路にて構成され、

前記ボルテージフォロア回路に供給される電源電圧の電源電位を VDD、接地電位を VEE とし、前記接地電位 VEE に近い入力電圧が入力された時に、前記ボルテージフォロア回路は、前記入力電圧に対して出力電圧がリ

ニアな特性を示さない、前記出力電圧が飽和する特性を有し、

前記ボルテージフォロア回路の前記出力電圧の飽和領域では、前記充電期間中に亘って、前記第 1 のスイッチング素子をオフ、前記第 2 のスイッチング素子をオンさせて、前記バイパス線を経由して前記電圧出力源の電圧を前記負荷容量に供給することを特徴とする電圧供給装置。

【請求項 6】 請求項 4 または 5 において、
前記電圧出力源の出力電圧と前記ボルテージフォロア回路の出力電圧とを比較する比較器を有し、
前記比較器の比較結果に基づいて、前記第 1、第 2 のスイッチング素子の状態を制御することを特徴とする電圧供給装置。

【請求項 7】 請求項 1 乃至 6 のいずれかに記載の電圧供給装置を有することを特徴とする半導体装置。

【請求項 8】 電気光学素子を用いた表示部と、前記表示部の信号線を駆動する駆動 IC とを有し、

前記駆動 IC は、負荷容量に電圧を供給して、所定の充電期間内に前記負荷容量に所定の電圧を充電させる電圧供給装置を有し、

前記電圧供給装置は、

電圧供給源と、

前記電圧供給源からの電圧をインピーダンス変換して出力するインピーダンス変換回路と、

前記インピーダンス変換回路と前記負荷容量との間に接続された第 1 のスイッチング素子と、

前記電圧供給源からの電圧を、前記インピーダンス変換回路及び前記第 1 のスイッチング素子を経由せずに前記負荷容量に供給するバイパス線と、

前記バイパス線途中に接続された第 2 のスイッチング素子と、を有し、

前記充電期間の前半期間に前記第 1 のスイッチング素子をオン、前記第 2 のスイッチング素子をオフさせ、前記充電時間の後半期間に前記第 1 のスイッチング素子をオフ、前記第 2 のスイッチング素子をオンさせることを特徴とする電気光学装置。

【請求項 9】 請求項 8 において、
前記電気光学素子は前記電圧供給装置からの段階的な電圧に基づいて階調駆動され、

前記電圧出力源は、ディジタル階調信号をアナログ電圧に変換する DA コンバータにて構成され、

前記電気光学素子に供給されるべき所望の階調電圧値に対して (LSB) / 2 に相当する電圧幅の範囲内の電圧であって、かつ前記所望の階調電圧値の 90% 以上の電圧が前記負荷容量に充電された時以降に、前記前半期間が終了されることを特徴とする電気光学装置。

【請求項 10】 請求項 8 または 9 に記載の電気光学装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧供給装置を用いた半導体装置並びにそれを用いた電気光学装置及び電子機器に関する。

【0002】

【背景技術】現在、高精度な供給電圧が要求される機器として、例えば液晶表示装置が挙げられる。

【0003】アクティブマトリックス型液晶表示装置または単純マトリックス型液晶表示装置では、液晶パネルの多階調化（多色化）、印加電圧の高精度化が進んでい

る。
【0004】液晶パネルの多階調化のため、例えば、アクティブマトリックス型液晶表示装置である TFT（Thin Film Transistor）液晶装置では、RGB（赤・緑・青）3色のデータ信号の各データが、例えば6ビットデータ（64階調表示、約26万色）または8ビットデータ（256階調表示、約1677万色）で構成される。

【0005】また、上述の多階調化に伴い、それに比例して、多段階の電圧レベルが必要とされるため、各電圧レベルをより高精度に設定する技術が求められている。

【0006】液晶パネルにおける印加電圧—パネル透過率の特性によれば、透過率が50%に近い中間レベルでは、印加電圧に対するパネル透過率の変化が大きく、パネル透過率が100%または0%に近づくほど、印加電圧に対するパネル透過率の変化が小さくなる。したがって、パネル透過率が中間レベルのところでは、特に印加電圧の僅かなズレによる階調変化が顕著に表れる。このパネル透過率のズレを抑えるためにも、より高精度な液晶印加電圧の供給が求められる。

【0007】この求められる液晶印加電圧のばらつきの許容値は、例えば、64階調表示では $\pm 5\text{ mV}$ 、256階調表示では $\pm 1\sim 2\text{ mV}$ となっており、多階調表示になるにつれ、より精度の高い液晶印加電圧が求められることになる。一般のICチップにおけるしきい値電圧 V_{TH} のばらつきが、数十 mV ～数百 mV の許容範囲があるのにも比べて、多階調表示を行う液晶表示装置では許容範囲をさらに厳しく設定しなければならない。また、今後のさらなる多階調化によっても、より高精度な液晶印加電圧への調整方法が必要になってくると思われる。

【0008】このような状況に鑑みて、従来より、例えば液晶パネルの駆動回路における複数の階調発生電圧の生成方法については、電圧選択方式や時分割方式、デジタル—アナログ変換方式等による液晶印加電圧生成法が公知である。

【0009】上述のデジタル—アナログ変換器を用いた方式（以下、DAC方式）の従来の電圧供給装置を図4に示す。

【0010】DAC70からの出力が入力されるボルテージフォロア回路72は、インピーダンス変換器として

働き、理想的なボルテージフォロア回路72の場合では、非反転入力端子に入力されるノード201の電圧は、反転入力端子に入力されるノード202の電圧と等しくなる。しかし、従来、オフセットキャンセル回路による補正をしていないボルテージフォロア回路72の動作においては、主にトランジスタ個々の性能のばらつき等に起因して、入出力間にオフセットが生じるため、ノード201とノード202との間の電圧に差が生じることになる。

【0011】図4は上記の課題を解決するための電圧供給装置を示している。ボルテージフォロア回路72の非反転入力端子201にはDAC70からの出力が供給され、反転入力端子202にボルテージフォロア回路72の出力が帰還される。ボルテージフォロア回路72の出力線と非反転入力端子201とを結ぶ配線途中には、スイッチング素子Q10、容量C10及びスイッチング素子Q12が直列に接続されている。反転入力端子202に接続された負帰還線途中には、スイッチング素子Q1のみが存在している。また、容量C10とスイッチング素子Q11に対して、スイッチング素子Q10が並列に接続されている。

【0012】第1の期間にスイッチング素子Q11がオフし、スイッチング素子Q10及びスイッチング素子Q12がオンすることにより、ボルテージフォロア回路72の入出力間のオフセット電圧が、容量C10にチャージされる。第2の期間にスイッチング素子Q11がオンし、スイッチング素子Q10及びスイッチング素子Q12がオフすることにより、容量C10にチャージされたオフセットキャンセル分の電荷がボルテージフォロア回路72の反転入力端子202に重畳されて帰還される。

【0013】このように、ボルテージフォロア回路72の出力線と非反転入力端子201とを結ぶ配線途中に、オフセットキャンセル用の容量C10を設けて、オフセット分の逆の電圧を与えることにより、オフセットを相殺する方法が採られていた。

【0014】

【発明が解決しようとする課題】上述の図4に示す従来のDAC方式でのデータドライバでは、オフセットキャンセル回路として、容量C10をチップに内蔵する必要があった。しかし、ボルテージフォロア回路72の入力容量よりも十分に大きい容量C10が必要になるために、大きな面積が必要となる。このオフセットキャンセル容量が小さすぎると、ボルテージフォロア回路72内の入力容量にはノイズとしてみなされ、出力電圧にノイズが重畳してしまうからである。

【0015】また、オフセット電圧をオフセットキャンセル容量C10にチャージするには、通常 $3\sim 5\text{ }\mu\text{s}$ 程度を要してしまう。

【0016】この種のアクティブマトリックス型液晶装置では、一ラインの画素数を増やして、高精細な表示を

行なうと、一水平走査期間（選択期間）を短く設定せざるを得ない。例えば、SXGA の高精細表示では選択期間が $8 \sim 12 \mu s$ と短くなる。

【0017】この場合、上述のオフセットキャンセル用の容量 C10 にチャージする期間が、選択期間中に占有されると、オフセットキャンセルするための時間を確保することが困難となる。

【0018】本発明は、上述のような問題点を鑑みてなされたものであり、その目的は、オフセットキャンセル回路を必要とせず、高精度かつ迅速に、必要な充電電圧を得ることができる電圧供給装置並びにそれを用いた半導体装置、電気光学装置及び電子機器を提供することにある。

【0019】

【課題を解決するための手段】本発明の一態様に係る電圧供給装置は、負荷容量に電圧を供給して、所定の充電期間内に前記負荷容量に所定の電圧を充電させるものである。この電圧供給装置は、電圧供給源と、前記電圧供給源からの電圧をインピーダンス変換して出力するインピーダンス変換回路と、前記インピーダンス変換回路と前記負荷容量との間に接続された第 1 のスイッチング素子と、前記電圧供給源からの電圧を、前記インピーダンス変換回路及び前記第 1 のスイッチング素子を經由せずに前記負荷容量に供給するバイパス線と、前記バイパス線途中に接続された第 2 のスイッチング素子とを有する。そして、前記充電期間の前半期間に前記第 1 のスイッチング素子をオン、前記第 2 のスイッチング素子をオフさせ、前記充電期間の後半期間に前記第 1 のスイッチング素子をオフ、前記第 2 のスイッチング素子をオンさせている。

【0020】本発明によれば、充電期間の前半期間にてインピーダンス変換回路からの出力電圧を第 1 のスイッチング素子を介して負荷容量に供給している。このとき、インピーダンス変換回路の入力電圧、出力電圧間にオフセットがあった場合、インピーダンス変換回路からの出力電圧を負荷容量に供給し続けても、負荷容量には所定の電圧が充電されないことになる。

【0021】そこで、充電期間の後半期間では、電圧供給経路をバイパス経路に切り換え、電圧出力源からの電圧を、インピーダンス変換回路を經由せずに直接に負荷容量に供給している。このため、負荷容量にはオフセット分だけ不足していた電圧が補われて供給され、所定の電圧になるように充電することが可能となる。なお、電圧出力源から負荷容量に供給される単位時間当たりの電荷量は、インピーダンス変換されないため少なくなる。しかし、インピーダンス変換回路からの出力電圧によって十分な電圧まで負荷容量を充電させておけば、充電期間内に負荷容量を所定の電圧になるまで充電させることが可能となる。

【0022】また本発明によれば、従来技術にて用いて

いたオフセットキャンセル用の容量が不要になるため、その分の面積が不要となり、オフセットキャンセル用の容量にオフセット電圧をチャージする時間も不要となる。

【0023】本発明においては、前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子は、共にオフする期間が設定されていることが好ましい。こうすると、バイパス線を経由した電圧出力源からの電圧が、インピーダンス変換回路に正帰還されることを防止できる。

10 【0024】本発明においては、インピーダンス変換回路に電源電圧を供給する電源線に接続された第 3 のスイッチング素子をさらに設けることが好ましい。この第 3 のスイッチング素子は、第 1 のスイッチング素子のオフ動作と同期してオフされる。こうすると、インピーダンス変換回路の出力が不要な時には、それへの電源供給を遮断することができ、消費電力を低減できる。

【0025】本発明に用いられるインピーダンス変換回路は、ボルテージフォロア回路にて構成されることができ、このボルテージフォロア回路に供給される電源電位を VDD、接地電位を VEE とし、電源電位 VDD に近い入力電圧または、接地電位 VEE に近い電圧が入力された時に、この種のボルテージフォロア回路は入力電圧に対して出力電圧がリニアな特性を示さない、出力電圧が飽和する特性を有するものがある。この場合、ボルテージフォロア回路の出力電圧の飽和領域では、第 1 のスイッチング素子をオフ、第 2 のスイッチング素子をオンさせて、バイパス線を経由して電圧出力源の電圧を負荷容量に供給することが好ましい。こうすると、ボルテージフォロア回路において、低い入力電圧または高い入力電圧に対して出力電圧が飽和する飽和領域では、電圧出力源からの電圧を直接出力することで、リニアな出力電圧を供給することができるようになる。

【0026】上記のようなボルテージフォロア回路を用いながらリニアな出力電圧を生成するには、電圧出力源の出力電圧とボルテージフォロア回路の出力電圧とを比較する比較器を有することが好ましい。この比較器の比較結果に基づいて、第 1、第 2 のスイッチング素子の状態を制御でき、飽和電圧に代えて電圧出力源の電圧を出力することができる。

40 【0027】本発明の他の態様は、上述した電圧供給装置を有する半導体装置を定義している。この半導体装置は、オフセットキャンセル用の容量が不要であるので、その面積分だけチップサイズを縮小できるか、あるいはその面積分に他の素子を集積することで高集積化が果たせる。

【0028】本発明のさらに他の態様は、上述の電圧供給装置が搭載された半導体装置と、電気光学素子を用いた表示部とを有する電気光学装置であり、半導体装置を表示部の信号線を駆動する駆動 IC として用いている。

50 電圧供給装置から出力される電圧を表示部の信号線を介

して電気光学素子に供給することで、正確な駆動電圧を電気光学素子に供給できる。

【0029】この場合、電気光学素子を電圧供給装置からの段階的な電圧に基づいて階調駆動してもよい。このとき、電圧出力源は、デジタル階調信号をアナログ電圧に変換するDAコンバータにて構成することができる。このような場合、電気光学素子に供給されるべき所望の階調電圧値に対して(LSB)/2に相当する電圧幅の範囲内の電圧であって、かつ所望の階調電圧値の90%以上の電圧が負荷容量に充電された時以降に、充電期間の前半期間を終了させることが好ましい。この前半期間にて上述の十分な電圧を電気光学素子に供給しておけば、その後半期間にDAコンバータからの電圧を直接に負荷容量に供給しても、電気光学素子への印加電圧を所望の階調電圧まで到達させることができ、しかも電気光学素子での階調が異なってしまうことも防止される。

【0030】本発明のさらに他の態様は、上述した電気光学装置を有する電子機器を定義している。この電気光学装置を電子機器の表示部として用いれば、画質の改善を図ることができる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0032】＜第1の実施形態＞

(液晶装置の説明)図1は液晶パネル装置とその周辺回路を含めた全体の構成図を示している。

【0033】図1において、液晶パネル20は、例えばTF T型液晶パネルである。

【0034】この液晶パネル20を駆動する回路として、アドレス線(走査線)に接続されたゲートドライバIC40(走査線ドライバIC)と、データ線(信号線)に接続されたデータドライバIC30(信号線ドライバIC)とが設けられている。これらのゲートドライバIC40、データドライバIC30は、電源回路46から所定の電圧が供給されるとともに、信号制御回路42から供給される信号に基づいて、データ線21、ゲート線22を駆動するものである。実際はデータドライバIC30、ゲートドライバIC40ともに、複数のICにて構成されている。また、階調電圧回路部44は、データドライバIC30での階調駆動に必要な基準電圧を供給する。液晶容量25は、画素電極24とコモン電極23との間に液晶を封入することで形成されている。コモン電極駆動回路48は、コモン電極23にコモン電圧を供給する。

【0035】なお本発明は、TF T型液晶パネルに適用されるものに限らず、液晶を含む電気光学素子を用いた、他の表示パネルにも用いることができる。

【0036】(データ線駆動回路の説明)図2は図1の液晶パネル20を駆動するためのデータドライバIC30の構成図を示しており、図3は図1の液晶パネル20

中のデータ線21を駆動する駆動波形の一例を示している。

【0037】図2は、データ線出力21として例えば300本の出力線を有する、3色64階調表示用のデータドライバIC30の内部ブロック図を示している。

【0038】図2に示すデータドライバIC30は、信号制御回路42から供給されるRGB信号の各6ビットの表示データを、同様に信号制御回路42から供給されるクロック信号φ1のタイミングに基づき、順次、入力ラッチ回路50にてラッチする。100クロック分のクロック信号φ1の表示データ(RGB×6ビット×100クロック分の信号)は、100ビットのシフトレジスタ51を介して、ラインラッチ回路52の内部に取込まれる。さらに上記の表示データはラッチ回路53にラッチパルスLPのタイミングで取込まれる。そして、このラッチ回路53の表示データは6ビットのDAC54によってアナログ信号に変換され、さらにボルテージフォロア回路55によってインピーダンス変換されて液晶パネル20のデータ線21に供給される。

【0039】ここで、図3に示すように、6ビットのDAC54では64レベルの階調電圧を発生するが、外部から例えば10レベルの電圧V1～V10が供給される。この基準電圧V1～V10は、階調電圧回路部44から供給される。DAC54では例えば、RGBの各6ビットの表示データの中で上位の3ビットデータで、10レベルの基準電圧V1～V10によって分割された電圧範囲のうちの一つを選択する。例えば、基準電圧V4とV5の間を選択する。次に、下位3ビットデータにより、上位3ビットデータによって特定されたある電圧の範囲、例えばV4～V5レベルの間の8つの電圧レベルの一つであるV34レベルを選択する。

【0040】(電圧供給装置について)図5は、DAC70による出力をボルテージフォロア回路72を介してTF T型液晶パネルのデータ線に出力する電圧供給装置58の回路図を示している。

【0041】なお、図5に示すDAC70は、一つのデータ線21に接続されており、図2に示すDAコンバータ54は、複数のDAC70から構成されている。ボルテージフォロア回路72とボルテージフォロア回路55との関係も同様である。

【0042】図5の回路では、ボルテージフォロア回路72は非反転入力端子201にDAC70からの出力が供給され、反転入力端子202には、ボルテージフォロア回路72の出力が帰還して供給される。ボルテージフォロア回路72と負荷容量(データ線21の配線容量、液晶容量25等)との間の出力線には、第1のスイッチング素子Q1が設けられている。また、DAC70からの電圧を、ボルテージフォロア回路72及び前記第1のスイッチング素子Q1を経由せずに負荷容量供給するバイパス線205上に、第2のスイッチング素子Q2が

接続されている。

【0043】第2のスイッチング素子Q2には、第1のコントロール信号発生回路74からコントロール信号が供給されオンオフ制御される。第1のスイッチング素子Q1にはインバータINV1が接続され、第1のコントロール信号発生回路74からの出力が反転して供給され、第1のスイッチング素子Q1がオンオフ制御される。このコントロール信号は、例えば、後述する図6

(b)に示すように、データのラッチパルスLPに同期したタイミングに基づいて出力される信号CNT1である。

【0044】図6(a)は、従来のDAC方式による電圧供給に用いられるラッチパルスLP、ゲート線への供給電圧VX1、VX2、データ線への出力電圧の波形図を示している。1フレーム期間において、ゲート線22の選択期間にデータ線21を介して液晶容量25にチャージされる電圧波形は出力VY1のようになっている。

【0045】このデータ線21に印加される電圧は、今日の液晶パネルの多階調化・多色化に伴い、より高精度な電圧が求められている。しかし、図6(a)に示すように、ボルテージフォロア回路を介して出力される電圧には、オフセットによる入出力電圧のばらつきにより、必要な階調電位に達しないために、高精度な階調電位の設定が困難であることがしばしばであった。

【0046】すなわち、図6(a)に示すように、選択期間tの間に階調電位に達せず、 δ 電位だけ不足する電位が、液晶容量25にチャージされてしまうことになる。なお、図4のようにオフセットキャンセル回路を設けることにより、オフセットによる入出力変化を補正できるが、そのための容量C10の面積の拡大、必要階調電位に到達させる速さの点等で問題があった。

【0047】そこで本実施の形態では、このボルテージフォロア回路による出力能力の限界に着目し、階調電位出力がある程度保たれる時点で、ボルテージフォロア回路の出力に代えて、DAC70からの出力を液晶容量25に供給するように切換えている。

【0048】以下、図6(b)において、本実施の形態に係るTFT型液晶パネル装置のデータドライバの動作を、図5を参照しながら説明する。

【0049】ここで、仕様上一定ではないが、TFT型液晶装置におけるDAC方式によるボルテージフォロア回路72の出力は、必要電圧値の99%超まで増幅されるのに、選択期間のほぼ半分の時間が要される。例えば、12Vを必要とする液晶ドライバーでは、ボルテージフォロア回路72の出力によって、 $Q = 12 \times C$ (Cは負荷容量)の電荷量をチャージしなければならない。選択期間の前半期間の終端までに入力電圧と出力電圧の差が10mVまでになっていたとすると、選択期間の後半期間でチャージしなければならない負荷容量(電荷量)は、 $Q = 0.01 \times C$ となる。結局、DAC70の出力

に切換えた場合、必要電荷量Qに対して、 $1/1200$ (約0.1%)の電荷量を供給することで、必要な階調を得ることができる。選択期間tはパネルによっても異なるが、高精細なSXGAの表示だと通常8~12 μ s程度である。

【0050】ラッチパルスLP間の選択期間tに亘って、ゲートドライバIC40により、一本のゲート線21に電圧VX1が印加され、トランジスタがオンする。これにより、液晶パネル20内の液晶容量25に充電可能な状態になる。データドライバIC30では、ラッチパルスLPと同期して出力されるコントロール信号CNT1によって、第1のスイッチング素子Q1がオンし、第2のスイッチング素子Q2がオフする。このため、ボルテージフォロア回路72からデータ線21へ電圧VY2が出力される。この電圧VY2は、データ線21を介して液晶容量25にチャージされ、その液晶容量25へのチャージの経時的変化は、第1の期間t1では例えば必要電圧の99%を超える点Aにまで達している。

【0051】第2の期間t2では、第1のスイッチング素子Q1がオフし、第2のスイッチング素子Q2がオンし、ボルテージフォロア回路72の出力が遮断されることにより、DAC70の出力が直接、データ線21を介して液晶容量25にチャージされる。このときDAC70では、供給できる単位時間当りの電荷量が少ないが、出力電圧に影響を及ぼす能動負荷が小さく、液晶容量25へのチャージもほとんど完了されているため、選択期間t内に、十分な電圧を液晶容量25にチャージすることが可能となる。

【0052】ここで、ボルテージフォロア回路72の入出力間のオフセットとして、例えば、10mVが発生した場合、必要階調電圧の10mV手前で切換える必要が生じる。ボルテージフォロア回路72とDAC70の電流駆動能力の比率の設計にもよるが、その比が $1/100$ だと、図6(b)の点Aが必要電圧の99%に達した時に切換タイミングを設定することが妥当である。

【0053】このように、選択期間tの前半期間t1では、ボルテージフォロア回路72の出力によって、単位時間当りの電荷量を多く供給して、ある程度の電圧まで液晶容量25を充電させる。選択期間tの後半期間t2では、DAC70の出力を直接に液晶容量25に供給することによって、オフセットキャンセル回路を必要とせずに、高精度な出力電圧を迅速に得ることが可能となった。

【0054】また、ボルテージフォロア回路72の出力と、DAC70の出力を切換えるタイミングについて、必要階調電圧の90%以上の電圧が液晶容量25に充電され、かつ必要電圧との電圧差が $1/2$ LSB (Least Significant Bit)の電圧幅の範囲内に設定した場合の動作について、図7を用いて説明する。

【0055】図7は、図3に示す液晶印加電圧の波形図の基準電圧V3とV4の間の拡大図を示している。

【0056】所要の液晶表示を得るために、例えば、電圧VAだけの液晶印加電圧が必要な場合を想定する。本実施の形態では、ボルテージフォロア回路72によって、必要電圧VAに対して $1/2$ LSBに相当する電圧VLSBの幅の範囲（電圧VLSBからVAの範囲）であって、かつ、電圧VAの90%以上にあたる電圧を、液晶印加電圧として得る必要がある。図7は、必要電圧VAの90%にあたるVADにおける電圧を満たし、かつ、電圧VAに対して $(LSB)/2$ の電圧幅の範囲内にある電圧VLSBが前半期間t1にチャージされ、後半期間t2に電圧VAまでチャージされる例を示している。

【0057】これにより、必要な液晶表示が保証され、不足電圧分をDAC70による出力で補い、精度の高い出力電圧が選択期間t内に得られるようになる。

【0058】なお、ボルテージフォロア72の出力と、電圧出力源70の出力を切換える切換タイミングについて、例えば、階調をある程度保証する点を、切換タイミングとして設定すること等が考えられる。

【0059】＜第2の実施形態＞図8は、図5に示す構成を有する電圧供給装置の変形例を示している。

【0060】図8に示すように、第1のスイッチング素子Q1を制御する第1のコントロール信号発生回路74と、第2のスイッチング素子Q2を制御する第2のコントロール信号発生回路75を有し、第1のスイッチング素子Q1と第2のスイッチング素子Q2とが独立に制御される構成となっている。

【0061】図8の実施による波形図を図9に示す。

【0062】図9において、データドライバIC30からラッチパルスLPと同期して出力されるコントロール信号CNT1によって、第1のスイッチング素子Q1がオンする。コントロール信号CNT2によって第2のスイッチング素子Q2がオフされる。このとき、第1のスイッチング素子Q1と第2のスイッチング素子Q2に、同時にオフとなる期間θが設定されるように、コントロール信号CNT2は制御されている。

【0063】コントロール信号CNT1、CNT2によりボルテージフォロア72の出力からDAC70の出力に切り、出力VY2のような液晶印加電圧の波形を示すことになる。

【0064】図8に示す構成によれば、第1のスイッチング素子Q1と第2のスイッチング素子Q2が、同時にオンする状態に設定されることを防止できる。これにより、さらに、ボルテージフォロア回路72の出力が第2のスイッチング素子Q2を介してボルテージフォロア回路72の非反転入力端子201に帰還し、発振してしまう現象を未然に防ぐことができるようになる。

【0065】＜第3の実施形態＞図10の回路では、図

5における回路に加えて、ボルテージフォロア回路72の電源端子間に第3のスイッチング素子Q3を設けている。この第3のスイッチング素子Q3は、第1のスイッチング素子Q1と同期したコントロール信号CNT1の制御を受ける構成になっている。なお、DAC70及びボルテージフォロア回路72の動作は図5の回路と同様である。

【0066】ここで、ボルテージフォロア回路72の出力からDAC70の出力に切換えることによって、第1のスイッチング素子Q1がオフすることによりボルテージフォロア回路72の出力は遮断されてしまう。そこで、第1のスイッチング素子Q1がオフするタイミングに同期して、第3のスイッチング素子Q3をオフさせて、ボルテージフォロア回路72への電源供給を遮断する。

【0067】これにより、ボルテージフォロア回路72の出力を利用しない期間には、電源供給を遮断することによって消費電力を低減することができる。

【0068】＜第4の実施形態＞ボルテージフォロア回路72の回路構成として、例えば図12に示すような回路を挙げることができる。図12の回路は、AB級演算増幅をするボルテージフォロア回路72の回路図を示しており、主に差動増幅部91、出力増幅部92、入力部93とから構成されている。図12は、N型MOSトランジスタQN1からQN31を、P型MOSトランジスタQP1からQP31を有して構成されている。DAC70から供給される電圧が、入力部93の入力電圧VINとして入力される。出力増幅部92では最終段の増幅を行ない、出力電圧VOUTを負荷容量に供給する。

【0069】ボルテージフォロア回路72の入力電圧VINに対する出力電圧VOUTの入出力特性を図11に示す。

【0070】図中のVDDはボルテージフォロア回路72の電源電位を、VEEは接地電位を示している。

【0071】図11では、図12の出力増幅段92における、しきい値電圧VTHNであるN型MOSトランジスタQN31の動作に起因して、入力電圧VINが0からVTHNの範囲内で、リニアな入出力特性227が得られず、飽和出力特性225を示してしまう。同様に、出力増幅段92におけるしきい値電圧VTHP（負電圧）のP型MOSトランジスタQP31の動作に起因して、入力電圧VINが $(VDD + VTHP)$ からVDDの範囲内で、リニアな入出力特性223が得られず、飽和出力特性221を示してしまう。

【0072】これは、図12において、入力電圧VINが0Vからしきい値電圧VTHNの範囲で変化するとき、出力増幅部92におけるN型MOSトランジスタQN31のゲートに接続されている、P型MOSトランジスタQP21のドレインとなるノード212では、ノード212の電位が、ソースにあたるノード213の電位よりも低くなる。結果として、しきい値電圧VTHN以

10

20

30

40

50

下ではN型MOSトランジスタQN31がオフする方向に動作し、電流を流すことができなくなる。このため、出力電圧VOUTが飽和してしまう。

【0073】また、入力電圧VINが($V_{DD}+V_{THP}$)から電源電位VDDの範囲で変化するとき、出力増幅部92におけるP型MOSトランジスタQP31のゲートに接続されている、N型MOSトランジスタQN1のドレインとなるノード210では、ノード212の電位が、ソースにあたるノード211の電位よりも高くなる。結果として、しきい値電圧($V_{DD}+V_{THP}$)以上ではP型MOSトランジスタQP31がオフする方向に動作し、電流を流すことができなくなる。このため、出力電圧VOUTが飽和してしまう。

【0074】このしきい値電圧VTHN、VTHPに起因して出力電圧が飽和する入出力特性の改善した回路を図13に示す。

【0075】なお、このしきい値電圧VTHN、VTHPは、MOSトランジスタ素子固有のしきい値電圧に加えて、ボルテージフォロア回路72内の定電流回路の影響等を受けて変化している。N型MOSトランジスタQN11、QN12、P型MOSトランジスタQP11、QP12により、定電流が流れているためにオフセット分の電圧が重畳することになる。このため、本実施の形態では、このオフセット分の電圧を考慮したしきい値電圧VTHN、VTHPを想定する。

【0076】図13の回路では、ボルテージフォロア回路72のノード203における入力電圧と、ノード204における出力電圧とを比較する比較器76が追加されている。この比較器76の比較結果に基づき、第1のコントロール信号発生回路74を介して、第1のスイッチング素子Q1、第2のスイッチング素子Q2のゲートにコントロール信号を供給する。

【0077】比較器76は、ノード204における出力電圧VOUTが、ノード203における、入力電圧($V_{IN} \pm \Delta V$) (ΔV : 任意の誤差設定値)の範囲に入ったかどうかを比較する。第1のコントロール信号発生回路74を介してコントロール信号が発信される。これにより、第1のスイッチング素子Q1はオフ、第2のスイッチング素子Q2はオンとなり、DAC70の出力が出力電圧VOUTとなる。なお、出力電圧VOUTが入力電圧VINに対して、オーバーシュートまたはアンダーシュートし、誤差設定値 $\pm \Delta V$ の許容範囲を上回るまたは下回ることがある。この場合、これを考慮した許容範囲($V_{IN} \pm \Delta V$)を設定するか、出力電圧VOUTのゲインを大きくとり、出力電圧VOUTが、ある一定の電圧を交差した回数をカウントすることにより、コントロール信号が発信されるタイミングを設定できる。

【0078】また、本実施の形態の変形例として、図14のような検出方法が考えられる。

【0079】図14は、第1の比較器77、第2の比較

器78、OR回路79を含んで構成されている。ボルテージフォロア回路72の入力電圧VINを、ノード203での電圧と、第1の比較器77、第2の比較器78で設定された各基準電圧との比較信号を、OR回路79に供給する。OR回路79は少なくとも第1の比較器77または第2の比較器78の一方のハイレベルの信号を受けた時、第1のコントロール信号発生回路74を介して、第1のスイッチング素子Q1、第2のスイッチング素子Q2にコントロール信号を供給する。

【0080】ここで、例えば、第1の比較器77の基準電圧として、図11のボルテージフォロア回路72の入出力特性において、ノード203における入力電圧VINが、しきい値電圧($V_{DD}+V_{THP}$)となる境界点が設定される。しきい値電圧($V_{DD}+V_{THP}$)以上の電圧が入力されると、第1の比較器77からハイレベルの信号が出力され、OR回路79に供給される。第2の比較器78からはロウレベルの信号が出力され、OR回路79に供給される。OR回路79からはハイレベルの信号が出力され、第1のコントロール信号発生回路74を介して、コントロール信号を発信する。第1のスイッチング素子Q1はオフ、第2のスイッチング素子Q2はオンとなり、DAC70の出力が出力電圧VOUTとなる。同様に、第2の比較器78の基準電圧として、図11のボルテージフォロア回路72の入出力特性において、ノード203における入力電圧VINが、しきい値電圧VTHNとなる境界点に設定される。しきい値電圧VTHN以下の電圧が入力されると、第2の比較器78からハイレベルの信号が出力され、第1の比較器77からはロウレベルの信号が出力される。OR回路79からはハイレベルの信号が出力され、第1のコントロール信号発生回路74を介して、コントロール信号を発信する。第1のスイッチング素子Q1はオフ、第2のスイッチング素子Q2はオンとなり、DAC70の出力が出力電圧VOUTとなる。

【0081】これらの動作により、入力電圧が0からVTHNの範囲内で、または、($V_{DD}+V_{THP}$)からVDDの範囲内で、比較器76の出力を変化させ、このタイミングでボルテージフォロア回路72の出力を遮断し、DAC70の出力に切換えれば、出力電圧が飽和する出力特性221に代えてリニアな出力特性223を、または、出力特性225に代えて出力特性227を確保することができるようになる。

【0082】この電圧供給装置58をDAC方式を有するTFT液晶装置に用いた場合、オフセットキャンセル回路を必要とせず、高精度な出力電圧を得ることが可能となる。さらに、入力電圧が0Vから電源電圧VDDの範囲までを、飽和せずに出力電圧として得ることができるように、より広い範囲での電圧利用が図れる。

【0083】＜第5の実施形態＞図15は、図13に示す構成を有する電圧供給装置に、さらにボルテージフォ

ロア回路 72 の電源電圧をオンオフさせる、第 3 のスイッチング素子を含んだ回路を示している。

【0084】図 15 に示すように、DAC 70 の出力を出力電圧として供給する期間中、ボルテージフォロア回路 72 自体の電源をオフさせることができる。これにより低消費電力化を図ることができる。

【0085】また本発明は、例えば、携帯電話、ゲーム機器、電子手帳、パーソナルコンピュータ、ワードプロセッサ、テレビ、カーナビゲーション装置など各種の電子機器に適用することができる。

【図面の簡単な説明】

【図 1】図 1 は、本発明が適用される液晶装置を示す概略説明図である。

【図 2】図 2 は、従来のデータドライバ IC のブロック図である。

【図 3】図 3 は、図 2 に示す従来のデータドライバ IC の出力特性図である。

【図 4】図 4 は、図 2 に示す従来のボルテージフォロア回路を用いた電圧供給装置の構成例を示す図である。

【図 5】図 5 は、本発明の第 1 の実施形態に係る電圧供給装置を示す図である。

【図 6】図 6 (a) は図 4 に示す電圧供給装置の動作波形図、図 6 (b) は図 5 に示す電圧供給装置の動作波形図である。

【図 7】図 7 は、選択期間の前半、後半期間と、液晶容量に充電される電圧との関係を示す図である。

【図 8】図 8 は、本発明の第 2 の実施形態に係る電圧供給装置を示す図である。

【図 9】図 9 は、図 8 に示す電圧供給装置の動作波形図である。

【図 10】図 10 は、本発明の第 3 の実施形態に係る電圧供給装置を示す図である。

【図 11】図 11 は、本発明の第 4 の実施形態に用いられるボルテージフォロアの入出力特性を示す図である。

【図 12】図 12 は、図 11 に示す特性を有するボルテージフォロアの回路図である。

【図 13】図 13 は、図 12 に示すボルテージフォロアを含む本発明の第 4 の実施形態に係る電圧供給装置を示す図である。

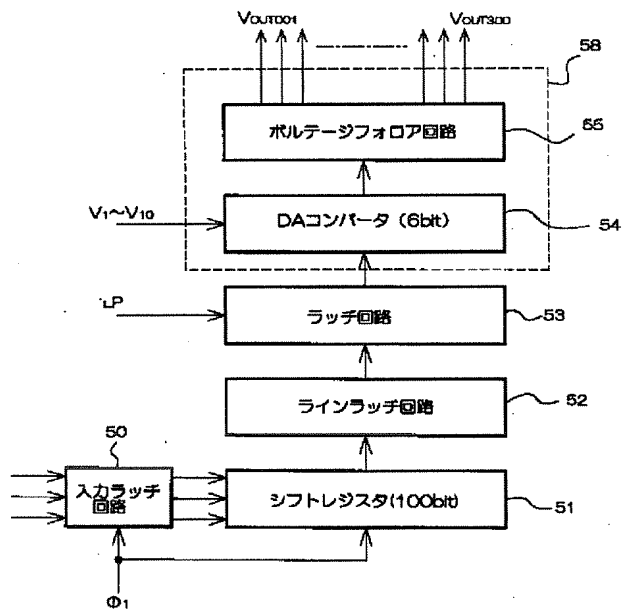
【図 14】図 14 は、図 13 に示す電圧供給装置の変形例を示す図である。

【図 15】図 15 は、本発明の第 5 の実施形態に係る電圧供給装置を示す図である。

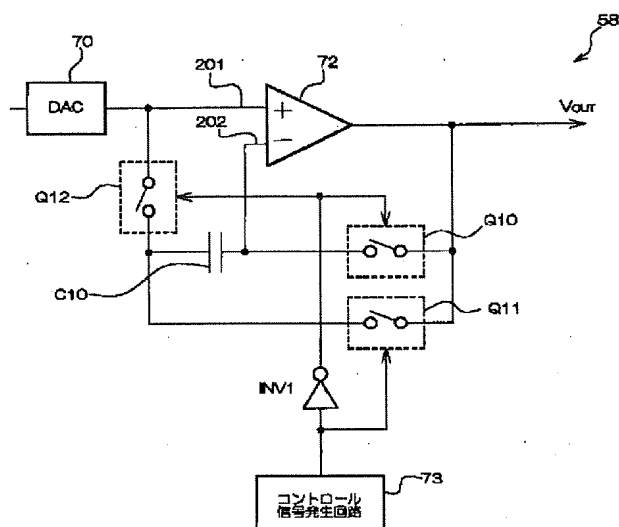
【符号の説明】

- | | |
|----|-------------------|
| 10 | 表示装置 |
| 20 | 液晶パネル |
| 21 | データ線 |
| 22 | ゲート線 |
| 23 | コモン電極 |
| 24 | 液晶電極 |
| 25 | 液晶容量 |
| 30 | データドライバ IC |
| 40 | ゲートドライバ IC |
| 42 | 信号制御回路 |
| 44 | 階調電圧回路 |
| 46 | 電源回路 |
| 48 | コモン電極駆動回路 |
| 50 | 入力ラッチ回路 |
| 51 | シフトレジスタ |
| 52 | ラインラッチ回路 |
| 53 | ラッチ回路 |
| 54 | DA コンバータ |
| 55 | ボルテージフォロア回路 |
| 58 | 電圧供給装置 |
| 70 | DA コンバータ |
| 72 | ボルテージフォロア回路 |
| 73 | コントロール信号発生回路 |
| 74 | 第 1 のコントロール信号発生回路 |
| 75 | 第 2 のコントロール信号発生回路 |
| 76 | 比較器 |
| 77 | 第 1 の比較器 |
| 78 | 第 2 の比較器 |

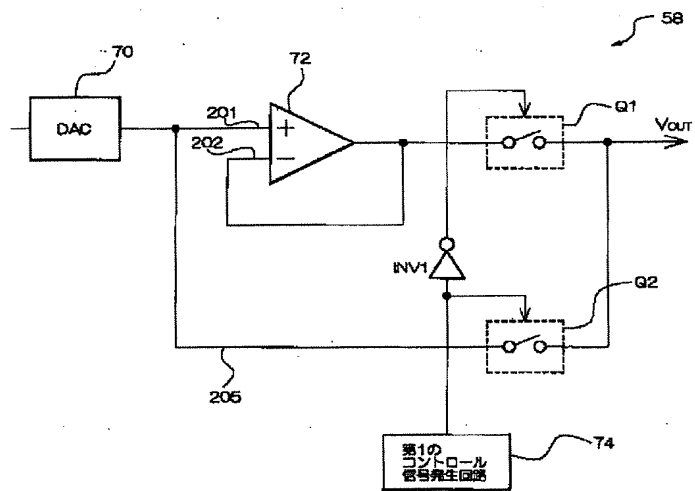
【图2】



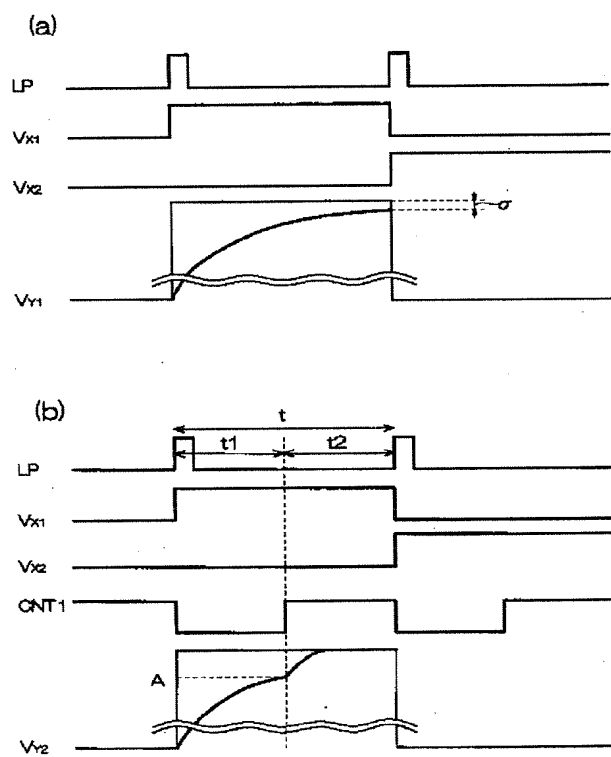
【图 4】



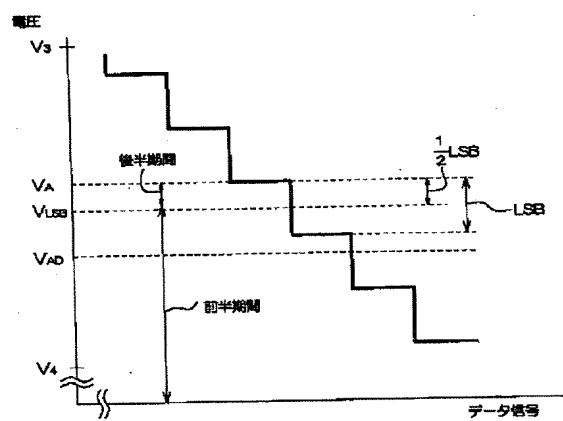
【図 5】



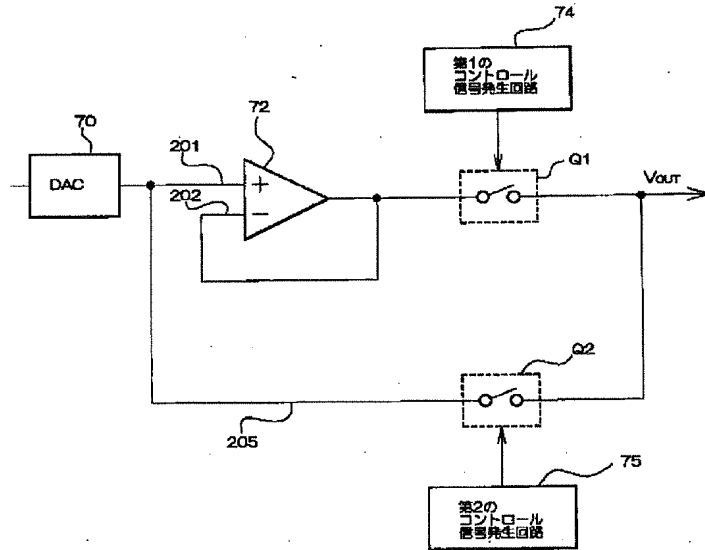
【图 6】



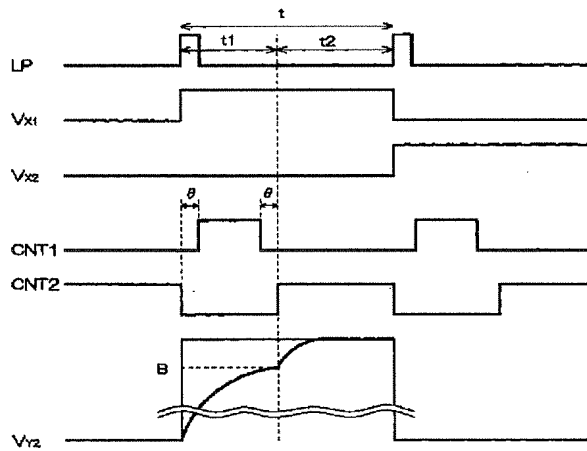
【図7】



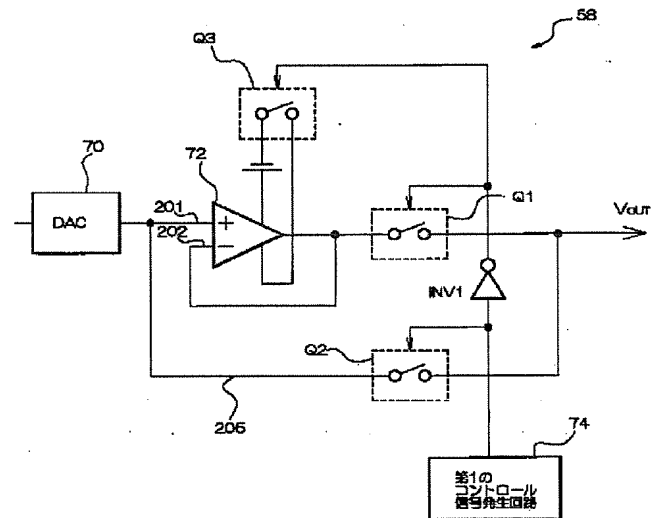
【図8】



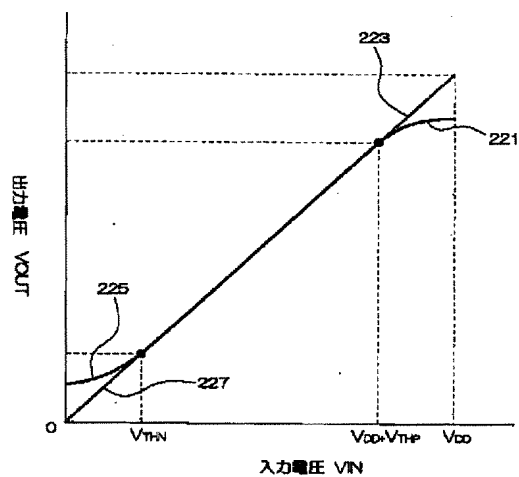
【図9】



【図10】



【図11】



【図12】

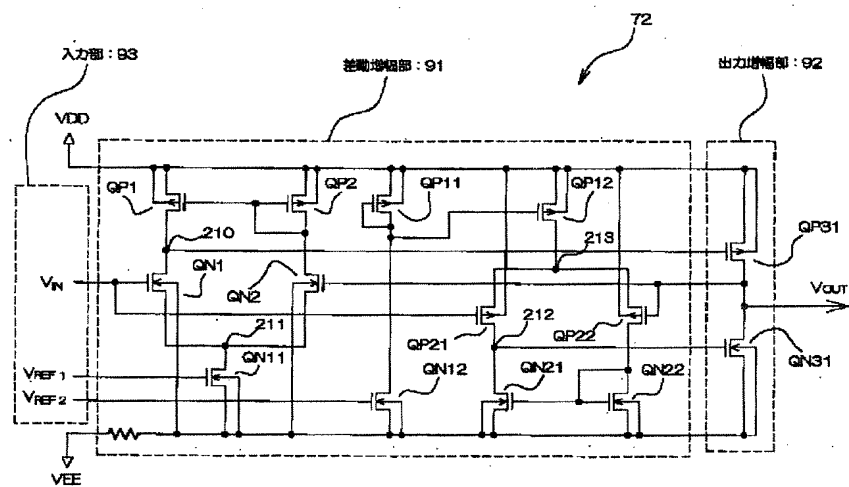
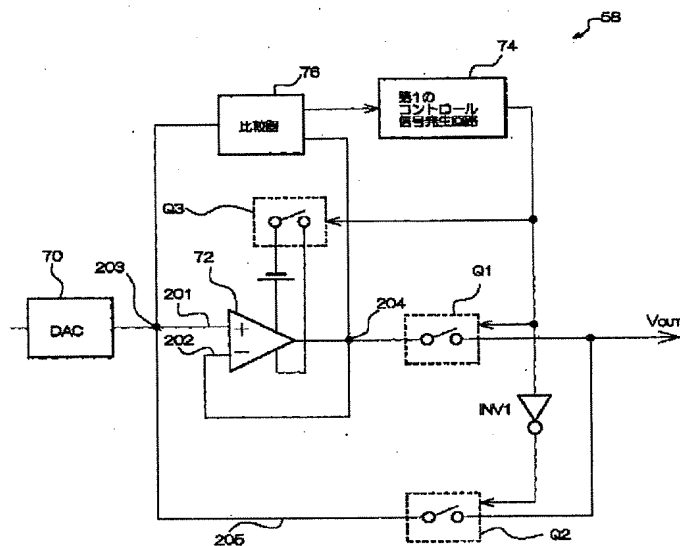


Figure 1 is a block diagram of a digital control signal generation circuit. The circuit includes a DAC (70) connected to a summing junction (72) at node 201. The summing junction also receives feedback from node 202. The output of the summing junction is connected to a switch Q1. A feedback path from the output Vout passes through an inverter and a switch Q2 to node 203, which is also connected to the DAC. A digital control block (74) receives inputs from comparators 7A and 7B, which compare VDD-VTHP and VTH-N. The digital block controls switches Q1 and Q2 via lines 79 and 80.

【图 15】



【提出日】平成12年10月19日（2000. 10. 19）

【補正対象書類名】明細書

【補正方法】変更

【特許請求の範囲】

電圧供給源と、

前記インピーダンス変換回路と前記負荷容量との間に接続された第1のスイッチング素子と、

前記充電期間の前半期間に前記第1のスイッチング素子をオン、前記第2のスイッチング素子をオフさせ、前記充電時間の後半期間に前記第1のスイッチング素子をオフ、前記第2のスイッチング素子をオンさせることを特徴とする電圧供給装置。

前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子は、共にオフする状態が設定されていることを特徴とする電圧供給装置。

【請求項3】 請求項1または2において、前記インピーダンス変換回路に電源電圧を供給する電源線に接続された第3のスイッチング素子を有し、前記第3のスイッチング素子は、前記第1のスイッチング素子のオフ動作と同期してオフされることを特徴とする電圧供給装置。

【請求項4】 請求項1乃至3のいずれかにおいて、
前記インピーダンス変換回路は、ボルテージフォロア回路にて構成され、

前記ボルテージフォロア回路に供給される電源電圧の電源電位を V_{DD} 、接地電位を V_{EE} とし、前記電源電位 V_{DD} に近い入力電圧が入力された時に、前記ボルテージフォロア回路は、前記入力電圧に対して出力電圧がリニアな特性を示さない、前記出力電圧が飽和する特性を有し、

前記ボルテージフォロア回路の前記出力電圧の飽和領域では、前記第1のスイッチング素子をオフ、前記第2のスイッチング素子をオンさせて、前記バイパス線を経由して前記電圧出力源の電圧を前記負荷容量に供給することを特徴とする電圧供給装置。

【請求項5】 請求項1乃至3のいずれかにおいて、
前記インピーダンス変換回路は、ボルテージフォロア回路にて構成され、
前記ボルテージフォロア回路に供給される電源電圧の電

源電位をVDD、接地電位をVEEとし、前記接地電位VEEに近い入力電圧が入力された時に、前記ボルテージフォロア回路は、前記入力電圧に対して出力電圧がリニアな特性を示さない、前記出力電圧が飽和する特性を有し、

前記ボルテージフォロア回路の前記出力電圧の飽和領域では、前記第1のスイッチング素子をオフ、前記第2のスイッチング素子をオンさせて、前記バイパス線を経由して前記電圧出力源の電圧を前記負荷容量に供給することを特徴とする電圧供給装置。

【請求項6】 請求項4または5において、前記電圧出力源の出力電圧と前記ボルテージフォロア回路の出力電圧とを比較する比較器を有し、前記比較器の比較結果に基づいて、前記第1、第2のスイッチング素子の状態を制御することを特徴とする電圧供給装置。

【請求項7】 請求項1乃至6のいずれかに記載の電圧供給装置を有することを特徴とする半導体装置。

【請求項8】 電気光学素子を用いた表示部と、前記表示部の信号線を駆動する駆動ICとを有し、前記駆動ICは、負荷容量に電圧を供給して、所定の充電期間内に前記負荷容量に所定の電圧を充電させる電圧供給装置を有し、前記電圧供給装置は、電圧供給源と、前記電圧供給源からの電圧をインピーダンス変換して出*

*力するインピーダンス変換回路と、前記インピーダンス変換回路と前記負荷容量との間に接続された第1のスイッチング素子と、前記電圧供給源からの電圧を、前記インピーダンス変換回路及び前記第1のスイッチング素子を経由せずに前記負荷容量に供給するバイパス線と、前記バイパス線途中に接続された第2のスイッチング素子と、を有し、前記充電期間の前半期間に前記第1のスイッチング素子をオン、前記第2のスイッチング素子をオフさせ、前記充電時間の後半期間に前記第1のスイッチング素子をオフ、前記第2のスイッチング素子をオンさせることを特徴とする電気光学装置。

【請求項9】 請求項8において、前記電気光学素子は前記電圧供給装置からの段階的な電圧に基づいて階調駆動され、前記電圧出力源は、デジタル階調信号をアナログ電圧に変換するDAコンバータにて構成され、前記電気光学素子に供給されるべき所望の階調電圧値に対して(LSB)/2に相当する電圧幅の範囲内の電圧であって、かつ前記所望の階調電圧値の90%以上の電圧が前記負荷容量に充電された時以降に、前記前半期間が終了されることを特徴とする電気光学装置。

【請求項10】 請求項8または9に記載の電気光学装置を有することを特徴とする電子機器。

フロントページの続き

Fターム(参考) 2H093 NA16 NA53 NC03 NC05 NC25
NC34 NC49 NC58 ND39 ND43
ND49 ND54
5C006 AA16 AC11 AC21 AF43 AF82
BB16 BC12 BF03 BF04 FA41
5C080 AA10 BB05 DD22 EE29 FF11
JJ02 JJ04 JJ05
5H410 BB04 CC02 DD02 DD05 EA11
EA12 EA37 EB16 EB37 FF03
FF25 GG07